

리던던시 페일 모드 설계 및 테스트 방법

Redundancy Fail Mode Design and Test Methodology

전순근, 황세현, 표석수
삼성전자 System LSI 사업부
skjun@samsung.com.

Abstract

As the products containing e-fuse can perform the product testing and repair simultaneously, It is very efficient. However e-fuse cutting checking with naked eye is not possible which makes e-fuse repair program debugging difficult. This paper introduces the test methodology enabling e-fuse repair program debug at ATE(Automatic Test Equipment) by using the circuit which makes the redundancy cell data fixed and be force to fail.

I. 서론

본 논문은 반도체 메모리 장치에 관한 것으로, 특히 반도체 메모리 장치의 이-퓨징을 위한 테스트 프로그램이 의도한 페일 어드레스를 정상적으로 발생시키는지 확인하기 위해 리던던시 셀을 강제로 활성화시켜 오류를 용이하게 검출하는 장치에 관한 것이다.

반도체 메모리 장치는 데이터를 저장해두고 필요할 때 꺼내어 읽어볼 수 있는 기억 장치이다. 이러한 반도체 메모리 장치는 크게 RAM(Random Access Memory)과 ROM(Read Only Memory)으로 나눌 수 있다. RAM은 전원이 끊어지면 저장된 데이터가 소멸되는 휘발성 메모리(volatile memory)이다. RAM에는 DRAM(Dynamic RAM)과 SRAM(Static RAM) 등이 있다. ROM은 전원이 끊어지더라도 저장된 데이터가 소멸되지 않는 비휘발성 메모리(nonvolatile memory)이다. ROM에는 PROM(Programmable ROM), EPROM(Erasable ROM), EEPROM(Electrically EPROM), 플래시 메모리(flash memory) 등이 있다.

반도체 메모리 장치는 워드라인 및 비트라인에 연결된 매트릭스 형태로 배열된 많은 수의 메모리 셀들로 구성된다. 반도체 메모리 장치는 메모리 셀들 중에서 어느 하나의 메모리 셀에 결함이 발생되면 그 기능을 제대로 발휘할 수 없다. 그러나 반도체 메모리 장치의 집적도가 증가하면서 메모리 셀에 결함이 발생할 확률은 점점 높아지고 있다. 결함이 발생한 메모리 셀은

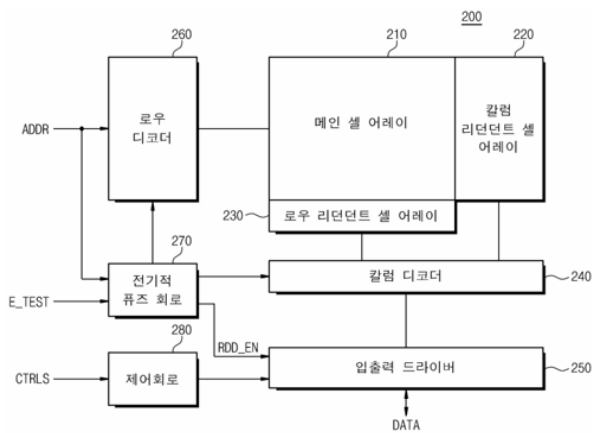
반도체 메모리 장치의 수율을 저하시키는 주요 요인이 된다. 따라서 반도체 메모리 장치는 메모리 셀에 결함이 발생하면 결함 셀에 연결된 워드라인(또는 비트라인)을 여분의 워드라인(또는 비트라인)으로 대체하여 결함을 보상해 주고 있다. 결함 셀을 선택하기 위한 어드레스가 인가되면 결함 셀을 액세스하기 위한 정상적인 경로(path)가 끊어지고 대신에 리던던트 셀이 연결된 리던던트 워드라인(또는 비트 라인)이 인에이블되어 정상적인 액세스 동작이 이루어진다. 이와 같이 결함 셀에 연결된 워드라인(또는 비트라인)을 여분의 워드라인(또는 비트 라인)으로 대체(리페어, repair)하여 연결해주기 위해서 퓨즈 회로들이 사용된다.

퓨즈 회로들에는 레이저(laser)를 이용한 레이저 퓨즈 회로와 전압 인가에 따른 저항 소자의 특성을 이용한 전기적 프로그램 가능한 퓨즈(electrical programmable fuse) 즉, 이-퓨즈(e-fuse) 회로가 있다. 이-퓨즈 회로는 모드 전환이나 리페어시 별도의 이-퓨징 장비가 필요하지 않고 ATE(Automatic Test Equipment)에서 해당 제품 테스트 하면서 이-퓨즈 회로 모드 전환 및 리페어가 동시에 가능하므로 테스트 효율 측면에서 차세대 공정(90나노, 65나노, 45나노) 제품에 널리 사용되고 있다. 레이저 퓨즈 회로는 퓨즈의 커팅 여부를 작업자가 마이크로 스코프(microscope) 등을 이용하여 쉽게 확인 가능하나, 이-퓨즈 회로는 퓨즈의 커팅 여부를 확인하는 것이 용이하지 않다. 더욱이, 이-퓨즈 회로의 오동작시 리페어 분석 프로그램(repair analysis program)에 오류가 있는지 아니면 전기적 퓨징 알고리즘에 문제가 있는지를 아는 것이 용이하지 않다. 따라서 본 논문에서 이-퓨즈 회로를 용이하게 테스트하기 위한 스킴을 소개하고 해당 테스트 방법을 소개하고자 한다.

II. 본론

본 논문의 이-퓨즈 회로를 용이하게 테스트하기 위한 테스트 시스템은 반도체 메모리 장치, 그리고 어드레스 신호, 데이터 신호, 제어 신호들 그리고 테스트 신호를 상기 반도체 메모리 장치로 제공하고, 상기 반도체

메모리 장치를 테스트하기 위한 테스트 장치를 포함한다. 상기 반도체 메모리 장치는, 복수의 워드라인들 및 복수의 비트라인들과 연결된 복수의 메인 메모리 셀들과, 복수의 리턴던시 비트라인들과 연결된 리턴던시 메모리 셀들과, 전기적으로 커팅이 가능하고, 어드레스 신호에 응답해서 결함있는 메인 메모리 셀과 연결된 결함 비트 라인을 상기 리턴던시 라인으로 리페어하고, 적어도 하나의 비트 라인이 리페어되었을 때 리턴던시 인에이블 신호를 활성화하는 전기적 퓨즈 회로와, 테스트 모드동안 상기 리턴던시 인에이블 신호에 응답해서 상기 리턴던시 메모리 셀들로부터 출력되는 데이터를 소정 값으로 변경하여 출력 데이터로서 출력하는 입출력 드라이버를 포함한다.



[그림 1. 메모리 장치 구성 블록도]

그림 1은 전기적 퓨즈 회로를 구비한 메모리 장치 구성 블록도로서 테스트 모드 신호(E_TEST)가 활성화 상태인 동안, 자신에 저장된 결함 행 어드레스 그리고/또는 결함 열 어드레스 중 어느 하나가 테스트 장치로부터 입력된 어드레스 신호(ADDR)와 일치할 때 리턴던시 인에이블 신호(RDD_EN)를 활성화되고 입출력 드라이버(250)로 제공된다.

입출력 드라이버(250)는 리턴던시 인에이블 신호(RDD_EN)가 활성화 상태인 동안 칼럼 디코더(240)를 통해 칼럼 리턴던트 셀 어레이(220)로부터 출력되는 데이터 신호 대신에 소정 레벨의 페일 데이터 신호를 출력 데이터 신호(DATA)로서 테스트 장치로 출력한다. 예컨대, 리턴던시 인에이블 신호(RDD_EN)가 활성화 상태인 동안 칼럼 리턴던트 셀 어레이(220)로부터 출력되는 출력 데이터 신호(DATA)는 로우 레벨이다.

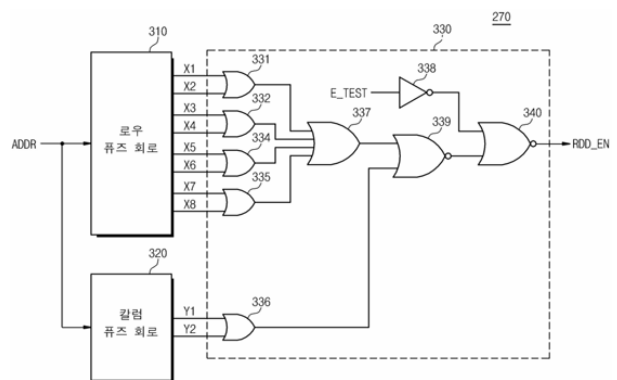
상술한 바와 같은 구성을 갖는 메모리 장치를 테스트하기 위해서, 테스트 장치는 제1 테스트 단계에서 메인 셀 어레이(210)의 결함 여부를 테스트하고, 결함 있는 셀과 관련 있는 라인 즉, 결함 비트라인 또는 결함 워드라인의 어드레스 정보를

전기적 퓨즈 회로(270)에 프로그램 한다.

테스트 장치는, 제2 테스트 단계에서, 테스트 모드 신호(E_TEST)를 활성화하고, 결함 비트라인 또는 결함 워드라인을 테스트한다. 메모리 장치(200)의 전기적 퓨즈 회로(270)는 어드레스 신호(ADDR)가 전기적 퓨즈 회로(270)에 저장된 결함 비트라인 또는 결함 워드라인의 어드레스 정보와 일치할 때 리턴던시 인에이블 신호(RDD_EN)를 활성화한다. 입출력 드라이버(250)는 리턴던시 인에이블 신호(RDD_EN)가 활성화 상태일 때 출력 데이터(DATA)를 로우 레벨로 설정한다.

테스트 장치는 메모리 장치(200)의 결함 비트라인 또는 결함 워드 라인으로부터 출력되는 데이터 신호(DATA)가 모두 로우 레벨일 때 전기적 퓨즈 회로(270)가 정상적으로 퓨징된 것으로 판정한다. 이와 같은 테스트 스킵에 의해서 이-퓨즈의 퓨징 상태를 테스트 할 수 있다. 또한, 테스트 장치는 결함 비트 맵(fail bit map)을 저장하기 위한 저장 회로(미도시됨)를 더 포함할 수 있다. 메모리 장치 설계자는 결함 비트 맵을 확인하여 메인 셀 어레이(210) 내 결함있는 셀이 칼럼 리턴던트 셀 어레이(220) 또는 로우 리턴던트 셀 어레이(230)로 정확하게 리페어되었는지의 여부를 알 수 있다. 만일 결함 있는 셀이 아닌 정상 셀이 칼럼 리턴던트 셀 어레이(220) 또는 로우 리턴던트 셀 어레이(230)로 리페어된 경우 테스트 장치의 리페어 분석 프로그램에 대한 디버깅이 요구된다.

그림 2은 그림 1에 도시된 전기적 퓨즈 회로(270)의 본 논문의 바람직한 실시 예에 따른 구성을 보여주고 있다



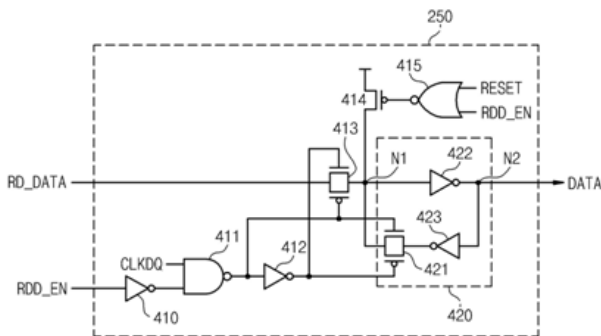
[그림 2. 전기적 퓨즈 회로]

그림 2에 도시된 로우 퓨즈 회로(310)는 최대 8 개의 결함 워드라인들의 어드레스 정보를 저장할 수 있으며, 결함 워드라인들에 각각 대응하는 리턴던시 워드라인 선택 신호(X1-X8)를 출력한다. 로우 퓨즈 회로(310)는 저장된 결함 워드라인들의 어드레스

정보와 테스트 장치로부터 입력된 어드레스 신호(ADDR)를 비교하고, 입력된 어드레스 신호(ADDR)와 일치하는 결합 워드라인 어드레스에 대응하는 리턴던시 워드라인 선택 신호를 활성화한다. 칼럼 퓨즈 회로(320)는 최대 2개의 결합 비트라인들의 어드레스 정보를 저장할 수 있으며 결합 비트라인들 각각에 대응하는 리턴던시 비트라인 선택 신호(Y1, Y2)를 출력한다. 칼럼 퓨즈 회로(320)는 저장된 결합 비트라인들의 어드레스 정보와 테스트 장치(100)로부터 입력된 어드레스 신호(ADDR)를 비교하고, 입력된 어드레스 신호(ADDR)와 일치하는 결합 비트라인 어드레스에 대응하는 리턴던시 비트라인 선택 신호를 활성화한다.

노아 게이트(339)는 리턴던시 워드라인 선택 신호들(X1-X8) 및 리턴던시 비트라인 선택 신호들(Y1, Y2) 중 적어도 하나가 하이 레벨로 활성화되면 로우 레벨의 신호를 출력한다. 노아 게이트(340)는 테스트 모드 신호(E_TEST)가 하이 레벨로 활성 상태이고, 노아 게이트(339)의 출력이 로우 레벨이면 리턴던시 인에이블 신호(RDD_EN)를 하이 레벨로 활성화한다.

그림 3은 그림 1에 도시된 입출력 드라이버(250)의 데이터 출력과 관련된 구성을 보여주는 도면이다



[그림 3. 데이터 출력 관련 관련된 구성도]

그림 3의 인버터(410)는 리턴던시 인에이블 신호(RDD_EN)를 입력받는다. 낸드 게이트(411)는 인버터(410)의 출력과 클럭 신호(CLKDQ)를 입력받는다. 클럭 신호(CLKDQ)는 메모리 장치(200) 내 클럭 발생기(미 도시됨)에 의해서 발생될 수 있으며, 다른 예에서, 테스트 장치(100)로부터 제공될 수 있다. 인버터(412)는 낸드 게이트(411)의 출력을 반전시켜 출력한다.

트랜스미션 게이트(413)은 낸드 게이트(411)의 출력 및 인버터(412)의 출력에 응답해서 도 2에 도시된 칼럼 디코더(240)을 통하여 메인 셀 어레이(210), 칼럼 리턴던트 셀 어레이(220) 또는 로우 리턴던트 셀 어레이(230)로부터 읽혀진 독출 데이터(RD_DATA)를

노드(N1)로 출력한다.

노아 게이트(415)는 제어 회로(280)로부터 입력되는 리셋 신호(RESET) 및 리턴던시 인에이블 신호(RDD_EN)를 입력받는다. PMOS

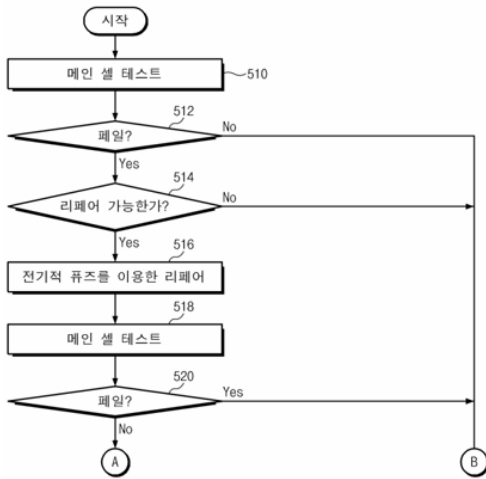
트랜지스터(414)는 전원 전압과 노드(N1) 사이에 연결되며, 게이트는 노아 게이트(415)의 출력에 의해서 제어된다. 다른 실시예에서 리셋

신호(RESET)는 테스트 장치로부터 직접 입력될 수 있다. 래치(420)는 트랜스미션 게이트(421)와 인버터들(422, 423)을 포함한다. 트랜스미션

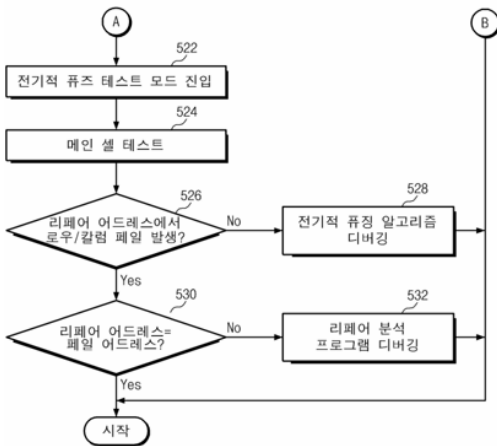
게이트(421)는 노드들(N1, N2) 사이에 연결되며, 낸드 게이트(411) 및 인버터(412)의 출력에 의해서 제어된다. 인버터(422)는 노드들(N1, N2) 사이에 연결되고, 인버터(423)는 노드(N2)와 트랜스미션 게이트(421)의 입력단 사이에 연결된다.

이와 같은 구성을 갖는 입출력 드라이버(250)는 리턴던시 인에이블 신호(RDD)가 로우 레벨이면 칼럼 디코더(240)을 통하여 메인 셀 어레이(210), 칼럼 리턴던트 셀 어레이(220) 또는 로우 리턴던트 셀 어레이(230)로부터 읽혀진 독출 데이터(RD_DATA)를 데이터 신호(DATA)로서 출력한다. 반면, 입출력 드라이버(250)는 리턴던시 인에이블 신호(RDD)가 하이 레벨이면 트랜스미션 게이트(413)가 오프되고, PMOS 트랜지스터(412)가 턴 온되어서 노드(N1)는 하이 레벨로 설정된다. 그러므로 인버터(422)에 의해서 반전된 로우 레벨의 데이터 신호(DATA)가 출력된다. 이 때, 트랜스미션 게이트(421)가 온되어서 노드들(N1, N2)의 신호 레벨은 래치된다.

그림 4a 및 그림 4b는 이-퓨즈 회로를 용이하게 테스트하기 위한 전기적 퓨즈 테스트 실시 예에 따른 반도체 메모리 장치를 테스트하기 위한 수순을 보여주는 플로우 차트이다. 복수의 행들 및 복수의 열들로 배열된 복수의 메모리 셀들에 대한 제1 테스트를 수행하는 단계(그림 4a)와, 전기적 퓨즈를 이용하여 결합있는 셀과 관련있는 라인을 리턴던시 라인으로 리페어하는 단계와, 상기 리턴던시 라인으로부터 출력되는 데이터를 소정 값으로 설정하는 단계와, 상기 복수의 메모리 셀들에 대한 제2 테스트를 수행하는 단계(그림 4b)로 구분한다



[그림 4a. 제1 테스트를 수행하는 단계]



[그림 4b. 제2 테스트를 수행하는 단계]

제1 테스트 단계는 이-퓨즈가 정상적으로 커팅되었는 지를 테스트하는데 적합한 시료를 추출하는 단계이고 제2 테스트 단계는 이-퓨즈를 테스트하는 단계이다. 제1 테스트 단계에서, 테스트 장치는 반도체 메모리 장치(200)의 메인 셀 어레이(210)에 대한 테스트를 수행한다(510). 일반적으로, 메인 셀 어레이(210)에 대한 테스트 단계는 메인 셀 어레이(210)에 소정의 데이터를 저장하고, 저장된 데이터를 읽어와서 저장한 데이터와 읽혀진 데이터가 일치하는 지의 여부에 따라서 메인 셀의 페일 여부를 판정하는 과정을 포함한다. 메인 셀 어레이(210)에 적어도 하나 이상의 셀에 결함이 있는 것으로 판정되면(512), 테스트 장치(100) 내 리페어 분석 프로그램은 메인 셀 어레이(210)의 결함을 치유(리페어, repair)할 수 있는 지의 여부를 판단한다(514). 메인 셀 어레이(210)의 결함이 치유될 수 있는 것으로 판단되면 메모리 장치(200) 내 전기적 퓨즈 회로(270)를 이용하여 메인 셀 어레이(210)를 칼럼 리던던트 셀 어레이(220) 또는

로우 리던던트 셀 어레이(230)로 리페어한다(516). 메인 셀을 리던던트 셀로 리페어하는 스킴은 널리 잘 알려져 있으므로 구체적인 설명은 생략한다. 테스트 장치는 메모리 장치(200)의 메인 셀 어레이(210)에 대한 테스트를 다시 수행한다(518). 전기적 퓨즈를 이용한 리페어(516)를 수행하였음에도 불구하고 결함있는 셀이 다시 발견되면(520) 이 테스트 대상 메모리 장치는 이-퓨즈를 테스트하기에 적합하지 않은 시료인 것으로 판단하고, 테스트를 중지한다. 만일 결함있는 셀이 발견되지 않았다면 제2 테스트 단계로 진입한다.

제2 테스트 단계에서 테스트 장치(210)는 전기적 퓨즈 테스트 모드로 진입한다(522). 이 단계에서 테스트 장치(210)는 테스트 모드 신호(E_TEST)를 하이 레벨로 활성화한다. 테스트 장치는 반도체 메모리 장치(200)에 대한 테스트를 수행한다(524). 메모리 장치(200) 내 전기적 퓨즈 회로(270)는 테스트 장치로부터 입력된 어드레스 신호(ADDR)가 결함 비트라인 또는 결함 워드라인을 지정할 때 리던던트 인에이블 신호(RDD_EN)를 활성화한다. 그러므로, 로우 리던던트 셀 어레이(230) 또는 칼럼 리던던트 셀 어레이(220)로부터 출력되는 데이터 신호(DATA)는 모두 로우 레벨로 된다. 이것은 하나의 라인 즉, 로우/컬럼 전체에 페일이 발생한 것처럼 보여진다. 즉, 제2 테스트 단계에서, 리던던트 셀 어레이(230) 또는 칼럼 리던던트 셀 어레이(220)로부터 출력되는 데이터 신호(DATA)는 강제로 로우/컬럼 페일된다. 테스트 장치는 메모리 장치(200)로부터 데이터 신호(DATA)를 입력받고, 전기적 퓨즈를 이용한 리페어 단계(516)에서 메인 셀 어레이(210)의 리페어된 어드레스(결함 워드라인/비트라인 어드레스)에서 로우/컬럼 페일이 발생하였는 지를 판별한다(526). 만일 로우/컬럼 페일이 발생하지 않았다면 테스트 장치는 전기적 퓨징 알고리즘에 오류가 발생한 것으로 판정한다(528). 이 때, 전기적 퓨징 알고리즘에 대한 디버깅이 수행될 수 있다.

만일 로우/컬럼 페일이 발생하였다면 테스트 장치는 전기적 퓨즈를 이용한 리페어 단계(516)에서 리페어한 어드레스(결함 워드라인/비트라인 어드레스)와 실제 로우/컬럼 페일이 발생한 어드레스가 일치하는 지의 여부를 판별한다(530). 리페어한 어드레스와 실제 로우/컬럼 페일이 발생한 어드레스가 일치하는 지의 여부는 테스트 장치에 저장된 페일 비트맵 등을 이용하여 확인 가능하다. 비트라인(A) 내 소정 셀에 결함이 발생한 경우 전기적 퓨즈를 이용한 리페어(516)에 의해서 결함 비트라인(A)은 리던던트

비트라인으로 대체된다. 제2 테스트 단계의 메인 셀 테스트(524)에 의해서 결함 비트라인(A)이 액세스될 때 결함 비트라인(A) 대신에 리던던트 비트라인이 액세스되므로 결함 비트라인(A)으로부터 출력되는 데이터 신호(DATA)는 모두 로우 레벨(L)이다. 즉, 비트라인(A)에 컬럼 폐일이 발생한 것으로 나타난다. 그러나, 리페어 분석 프로그램의 오류로 인하여 실제 결함있는 셀을 포함하는 결함 비트라인(A) 대신에 정상 비트라인(B)이 리던던트 비트라인으로 대체되는 경우, 정상 비트라인(B)에 컬럼 폐일이 발생한 것으로 나타난다. 이러한 경우, 리페어 분석 프로그램에 대한 디버깅이 요구된다(532).

III. 결론

이 퓨즈 회로의 퓨징시 의도한 폐일 어드레스가 정상적으로 이루어졌는지 여부를 테스트 하는데 있어서 본 논문에서 언급한 리던던트 폐일 모드를 활용하면 이-퓨즈 회로의 오동작시 리페어 분석 프로그램(repair analysis program)에 오류가 있는지 아니면 전기적 퓨징 알고리즘에 문제가 있는지를 쉽게 파악할 수 있으므로 이-퓨즈 회로의 퓨징에 대한 테스트 정합성을 높일 수 있다

참고문헌

- [1] E. J. Swenson, "Laser redundancy : past, present, and future", in Proc. SPIE, C.C. Tang, Ed.,1983, vol. 385, Laser Processing of Semiconductor Devices. pp.93-96
- [2] N. Park, F.J. Meyer, and F. Lombardi, " Quality-effective repair of multichip module systems", in IEEE Int. Symp. Defect Fault Tolerance VLSI Syst., Oct. 2000, pp. 47-55
- [3] Wey, C-L and F. Lombardi, "Approaches for the Repair of VLSI/WSI RRAMs by row/column Deletion", Proc. IEEE FTCS18, pp 342-347, 1988